

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12) 特許公報 (B2)

(11)特許番号

第2717662号

(45)発行日 平成10年(1998)2月18日

(24)登録日 平成9年(1997)11月14日

(51)Int.Cl.
H 02 M 3/00
3/28
H 03 K 7/08

識別記号

府内整理番号

F I
H 02 M 3/00

技術表示箇所

3/28
H 03 K 7/08

P

F

A

請求項の数3(全9頁)

(21)出願番号

特願昭63-128515

(22)出願日

昭和63年(1988)5月27日

(65)公開番号

特開平1-298951

(43)公開日

平成1年(1989)12月1日

(73)特許権者

99999999
キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者

石川 正

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(74)代理人

弁理士 丹羽 宏之

審査官 小池 正彦

(56)参考文献 特開 昭62-236361 (JP, A)

特開 昭62-225163 (JP, A)

特開 昭63-4186 (JP, A)

(54)【発明の名称】 パルス幅変調回路及び該回路を用いた安定化電源

1

(57)【特許請求の範囲】

【請求項1】 アナログ信号を入力する入力部と、
上記入力部からのアナログ信号を直接入力し、基準値と
比較するアナログコンバレータと、
上記アナログコンバレータの比較結果を記憶し、記憶し
たデータをパルス幅変調のための制御信号として出力する
記憶手段と、
上記記憶手段からの制御信号に従ってパルス幅変調され
た信号を出力するパルス幅変調手段と、

上記入力部、上記アナログコンバレータ及び上記記憶手
段の各々に一定時間毎に繰り返しタイミング信号を出力
するタイミング信号発生手段と、
を有し、上記入力部は上記タイミング信号発生手段から
のタイミング信号に応じて入力したアナログ信号を上記
アナログコンバレータへ出力し、上記アナログコンバレ

2

ータは上記タイミング信号発生手段からのタイミング信
号に応じて比較動作を行い、上記記憶手段はタイミング
信号発生手段からのタイミング信号に応じて記憶動作を
行うこととするパルス幅変調回路。

【請求項2】 電源回路と、
上記電源回路の出力に比例したアナログ信号を入力する
入力部と、上記入力部からのアナログ信号を直接入力
し、上記電源回路の目標出力に応じた基準値と比較する
アナログコンバレータと、

上記アナログコンバレータの比較結果を記憶し、記憶し
たデータをパルス幅変調のための制御信号として出力す
る記憶手段と、
上記記憶手段からの制御信号に従ってパルス幅変調され
た信号を上記電源回路の制御信号として出力するパルス
幅変調手段と、

上記入力部、上記アナログコンバレータ及び上記記憶手段の各々に一定時間毎に繰り返しタイミング信号を出力するタイミング信号発生手段と、

を有し、上記入力部は上記タイミング信号発生手段からのタイミング信号に応じて入力したアナログ信号を上記アナログコンバレータへ出力し、上記アナログコンバレータは上記タイミング信号発生手段からのタイミング信号に応じて比較動作を行い、上記記憶手段はタイミング信号発生手段からのタイミング信号に応じて記憶動作を行うことを特等とする安定化電源。

【請求項3】上記電源回路はトランジスタの2次巻線回路に直列に接続される抵抗とトランジスタの直列回路、上記直列回路に並列に接続されるコンデンサを有し、上記入力部は上記2次巻線回路の出力を入力するものであり、上記パルス幅変調手段は上記トランジスタを制御することを特徴とする請求項2記載の安定化電源。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、パルス幅変調回路及び該回路を用いた安定化電源に関するものである。

【従来の技術】

従来、複写機、プリンタ等の画像形成装置では、プリントシーケンス全体を制御するマイクロプロセッサを中心としたシーケンスコントローラ回路、DC電源、露光電源、帯電等の高圧電源等、種々の構成要素が独立に設けられていた。それ故、装置を小型化、低価格化するには限界があった。

そこで、前記構成要素を1つのボード上に形成すべく、マイクロプロセッサ、RAM、ROM及びデジタル周辺回路さらに、A/Dコンバータ、D/Aコンバータ、電源系の制御の為のパルス幅変調回路（以下PWM回路という）等を1チップに集積する提案がされている。

【発明が解決しようとする課題】

しかしながら、各構成要素を単純に1チップに集積するだけでは特にPWM回路に於いて、回路規模が大きく、チップ面積が大きくなってしまい、低価格化の効果が少なかった。

本発明は、このような点に着目してなされたもので、回路規模が小さくチップ面積が小さくできるPWM回路及び該回路を用いた安定化電源を提供することを目的とするものである。

【課題を解決するための手段】

本発明は、上記目的を達成するため、パルス幅変調回路を次の（1）のとおりに、そして安定化電源を次の（2）、（3）のとおりに構成する。

（1）アナログ信号を入力する入力部と、

上記入力部からのアナログ信号を直接入力し、基準値と比較するアナログコンバレータと、

上記アナログコンバレータの比較結果を記憶し、記憶したデータをパルス幅変調のための制御信号として出力

する記憶手段と、

上記記憶手段からの制御信号に従ってパルス幅変調された信号を出力するパルス幅変調手段と、

上記入力部、上記アナログコンバレータ及び上記記憶手段の各々に一定時間毎に繰り返しタイミング信号を出力するタイミング信号発生手段と、

を有し、上記入力部は上記タイミング信号発生手段からのタイミング信号に応じて入力したアナログ信号を上記アナログコンバレータへ出力し、上記アナログコンバレータは上記タイミング信号発生手段からのタイミング信号に応じて記憶動作を行なうパルス幅変調回路。

（2）電源回路と、

上記電源回路の出力を比例したアナログ信号を入力する入力部と、上記入力部からのアナログ信号を直接入力し、上記電源回路の目標出力に応じた基準値と比較するアナログコンバレータと、

上記アナログコンバレータの比較結果を記憶し、記憶

したデータをパルス幅変調のための制御信号として出力する記憶手段と、

上記記憶手段からの制御信号に従ってパルス幅変調された信号を上記電源回路の制御信号として出力するパルス幅変調手段と、

上記入力部、上記アナログコンバレータ及び上記記憶手段の各々に一定時間毎に繰り返しタイミング信号を出力するタイミング信号発生手段と、

を有し、上記入力部は上記タイミング信号発生手段からのタイミング信号に応じて入力したアナログ信号を上記

アナログコンバレータへ出力し、上記アナログコンバレータは上記タイミング信号発生手段からのタイミング信号に応じて比較動作を行い、上記記憶手段はタイミング信号発生手段からのタイミング信号に応じて記憶動作を行なう安定化電源。

（3）上記電源回路はトランジスタの2次巻線回路に直列に接続される抵抗とトランジスタの直列回路と、上記直列回路に並列に接続されるコンデンサを有し、上記入力部は上記2次巻線回路の出力を入力するものであり、上記パルス幅変調手段は上記トランジスタを制御する前記

（2）記載の安定化電源。

【作用】

上述の構成により、PWM回路の回路規模が小さくなり、チップ面積が小さくできるようになり、又安定化電源の制御回路であるPWM回路も同様に回路規模が小さくなり、チップ面積が小さくできるようになる。

【実施例】

以下、本発明を実施例により説明する。

実施例を説明するに当り、実施例のPWM回路を用いる画像形成装置の制御系全体より説明を始める。

第5図はその制御系全体であるA/D・D/Aコントローラ

のブロック図である。

A/D・D/Aコントローラは、A/D変換器としての動作と、PMM制御回路としての動作の2種類のモードがある。

先づA/D変換器としての動作を説明する。アナログマルチブレクサ回路であるMPX回路3で選択されたアナログ値とD/A変換器5による基準電圧をコンバレータ1で比較し、この結果を基に入力と比較すべき次の基準電圧を演算器8により決めアナログ値と比較していく。このような比較をD/A変換器5により基準電圧が、入力アナログ値に最も近づくまで最上位ビットから最下位ビットまでを演算器8により決定していく。

このようにして、MPX回路3で選択されたアナログ値をA/D変換する。

次にPMM制御回路としての動作を説明する。

MPX回路3を介して外部入力を基準値となるD/A変換器5と、コンバレータ1で比較し、比較した結果はラッチ4に保持する。ラッチ4の出力はMAIN・PMM回路9及びSUB・PMM回路13～15に供給される。

A/D・D/AコントローラのCPUとのデータの受渡は、第5図の各レジスタ（レジスタA、レジスタB、レジスタC）を介して行う。レジスタAはD/A変換テーブル上にデータをセットするためのレジスタである。レジスタBはA/D変換の結果をCPU・BUS上に読みだすためのレジスタである。レジスタCはA/D・D/A変換動作等の状態設定とRAM6、MPX回路3、ラッチ4などの各アドレス設定を行うレジスタである。

以上のようにA/D・D/Aコントローラは、PMM制御回路としての動作と、A/D変換器としての動作の2種類のモードを持ち且各動作のタイミングを制御するブロックであり、CPU・BUS間のデータのやりとりは、各レジスタを介して行われる。

第6図は、第5図のコンバレータ1の1例であり、第7図は同コンバレータのタイミングチャートである。

コンバレータ1の動作を説明する。

タイミングシェレーテ2により比較値となる外部の検出データを入力するように、MPX回路3を切替える。次にスイッチSW1とスイッチSW3をオン、スイッチSW2をオフすることで、MPX回路3により選択された検出値をコンバレータへ入力する。同時にD/A変換のデータをRAM6上のD/A変換テーブルより選択し、D/A変換器5にセットする。次にスイッチSW2をオン、スイッチSW1とスイッチSW3をオフすることで、MPX回路3により選択された値と比較基準のD/A変換値を比較して結果は、ラッチに保持する。

第8図は第5図のMAIN・PMM回路の1例を示すブロック図である。前段のA/D・D/Aコントローラでは、マルチブレクサの入力をアナログ・コンバレータで比較し、結果はそれぞれラッチに保持されているが、MAIN・PMM回路ではこのラッチで保持されている結果をFLIP・FLOP81

に入力する。入力されたアナログ・コンバレータの比較結果は、FLIP・FLOP81でクロック同期され、次段のUP・DOWN COUNTER82のUP/DOWN決定端子に入力される。この時にUP・DOWN COUNTER82には、CPU・BUS89から4bitレジスタを介しカウンタの初期値が入力される。初期値はFLIP・FLOP 1のUP/DOWNの値でカウントアップ・カウントダウンしてカウントを結果は、次段のUP・COUNTER83に送られる。送られたカウントの値は、UP・COUNTER83のLOAD信号に同期して読みこまれ、カウントが開始される。

また、UP・COUNTER83の出力信号はDIGITAL・COMPARETER84で、CPU・BUS89から4bitレジスタにセットされた値と比較され、比較の結果はパルス幅変調（PMM）の出力結果として出される。図では、UP・COUNTER83の出力が7bitAND85に接続されているがこれはカウントの終了を検出するもので、同期回路の出力とOR回路86で論理和をとりUP・COUNTER83のLOAD端子に入力されUP・COUNTER83はこの信号を基にUP・DOWN COUNTER82のデータを読みこむ。ここで、UP・DOWN COUNTER82とUP・COUNTER83とDIGITAL・COMPARETER84は7bit構成であり、必要な精度を得ている。

以上の画像形成装置の制御系全体の構成、動作を参照しながら、実施例を説明する。

第1図は本発明の実施例であるパルス幅変調回路及び同回路を用いた安定化電源を示す回路図である。

A-1は、MAIN-PMM回路9の出力であり、メインランジスタA-13をドライブして、トランジスタA-10の1次側を駆動し、2次巻線の一つより出力A-11が得られる。出力A-11は分圧されてA-3信号としてフィードバックされてMPX回路3の一つの入力になる。又トランジスタA-10のもう一つの2次巻線からA-12出力が取り出されており、A-12出力の低圧側は、一方を接地されたコンデンサA-8の他方の端子が接続され、かつ、一方をトランジスタA-5のコレクタに接続された抵抗A-7の他方の端子が接続される。トランジスタA-5のエミッタは、一方の端子を接地された抵抗A-6の他方の端子に接続される。また、SUB-PMM回路の出力A-2は抵抗を介してサブトランジスタA-5のベースを駆動する。出力A-12は抵抗分圧されてフィードバック信号A-4のとしてMPX回路3の一つの入力になる。なお、A-3,A-4のフィードバック信号は、MPX回路3、コンバレータ1等の動作範囲に入るよう適宜分圧比が選ばれ、かつA-11,A-12の極性に従い分圧抵抗をVccにブルアップするかGNDにブルダウンするかが選択される。

また、A-9は、A-12の低圧側が過昇したときトランジスタA-5を保護する為のパリスタ及び電流制限抵抗である。RAM6はA-11,A-12の各出力の設定値が格納されている記憶装置である。

以下に本実施例の動作を詳述する。

先づタイミングシェレーテ2はMPX回路3を駆動してA-3入力を選択してコンバレータ1に入力する。同

時にRAM6にA-11出力の設定値を格納しているアドレスを与えると、D/Aコンバータ5に入力する。D/Aコンバータ5は入力に従ったアナログ電圧を発生して、コンパレータ1のもう一方の入力とする。コンパレータ1は前述のような動作により、MPX回路3の出力とD/Aコンバータ5の出力を比較して、その大小によりhigh,又はlowを出力する。このとき、タイミングジェネレータ2はMAIN・PMM回路9に相当するビットをラッチ4に与えると同時に、ラッチ信号を出力し、コンパレータ1のhigh/low出力をラッチする。ラッチ4の出力はMAIN・PMM回路9の入力信号として、前述のようにMAIN・PMM回路9内のup/downカウンタのup/down選択入力に接続され、この結果、パルス幅変調されたMAIN・PMM回路9の出力A-1がメイントランジスタA-13をドライブし、A-11出力を定電圧に制御する。

次にタイミングジェネレータ2はA-4入力を選択するようにMPX回路3を駆動してコンパレータ1に入力する。同時にRAM6にA-12出力の設定値を格納しているアドレスを与えると、D/Aコンバータ5に入力し、D/Aコンバータ5は入力値をアナログ電圧に変換し、コンパレータ1のもう一方の端子に入力する。

前述と同様に、コンパレータ1は両者を比較してその大小によりhigh/low信号を発生してラッチ4の入力とし、ラッチ4はタイミングジェネレータ2の信号によりA-2出力に対応するビットを選択してラッチされる。A-2出力はトランジスタA-5を抵抗を介してドライブし、後述する動作を行う。

以上の動作を1周期として繰り返す。また、本実施例は2出力トランスに適用しているがPMM対象が多数ある場合も同様に実現できる。

このようにSUB-PMM回路は、1周期をTとするとT毎に、設定値と出力値を比較してhigh/lowを選択するパルス列となり、トランジスタA-5のON/OFF期間を制御してA-12出力を設定値に制御する。

以上要約すると、1はMPX回路3からの入力信号とD/A*

$$V_{cx} = \Delta V_{cx} = \frac{1}{c_x} \cdot \Delta i_{cx} = \frac{1}{c_x} \cdot \Delta i_{cx}$$

で表わされる。また

$$\begin{aligned} \Delta i_{cx} &= i_1 \cdot t_1 + (i_1 - i_2) \cdot t_2 \\ &= i_1 \cdot (t_1 + t_2) - i_2 \cdot t_2 \end{aligned}$$

ここで、 $\Delta i_{cx} = 0$ が成立すれば、 V_{cx} の平均電圧が定常し、A-12は $V_0 + V_{cx}$ となり定常する。第3図は本動作を示す。A-12出力を図のように分圧してフィードバックしてA-2信号を制御するが、定電圧動作となる。

さて、 t_1, t_2 は周期Tの整数倍である。

$$t_1 = n_1 \cdot T, t_2 = n_2 \cdot T$$

(n_1, n_2 は整数)

上式で n_1, n_2 は必ず0である。何故なら

* 変換基5からの基準信号を比較するコンパレータであり、ラッチ4はこのコンパレータ1の出力を記憶する記憶手段であり、タイミングジェネレータ2はこの記憶手段の記憶内容を一定時間間隔で更新させる手段であり、この記憶内容が出力信号であって、これらより本発明の実施例であるパルス幅変調回路が構成される。

又、A-12出力の整流電源とこれに接続されるトランジスタA-5等が上記パルス幅変調回路で制御される電源であり、その出力A-12を抵抗分圧器で分圧しMPX3に供給する帰還手段とともに本発明の実施例である安定化電源を構成する。

次にこの安定化電源の動作を解析する。A-12出力は以下のように安定化される。A-12出力の巻線の低圧側と高圧側A-12aはトランジスタA-10の1次側を出力A-11からのフィードバック信号にて制御しているが、A-11の出力に追従した電圧を発生している。今A-11出力が定常状態になっているとすると、A-12a, A-12b間にある一定の電圧 V_0 になっている。このとき、A-12出力の主要部分を抜き出して等価回路に書き直したのが第2図である。第2図でA-12aに流れ込む電流を i_1 とし、トランジスタA-5に流れる電流を i_2 とし、トランジスタA-5のOFF時、すなわちA-2のlow出力時のベース電位を0V、トランジスタA-5のON時、すなわちA-2のhigh出力時のベース電位を V_{be} とする。また、トランジスタA-5のOFF時間を t_1 、ON時間を t_2 とし、A-12bの電圧を V_{cx} とする。

このとき、トランジスタA-5がOFFのとき、コンデンサ C_x は i_1 で充電され、トランジスタA-5がONのとき、コンデンサ C_x は $i_1 - i_2$ で充電される。すなわち、 C_x に流れる電流を i_{cx} とすると

$$i_{cx} = i_1 \quad (\text{A-5 OFF時})$$

$$i_{cx} = i_1 - i_2 \quad (\text{A-5 ON時})$$

$$i_2 = (V_0 - V_{be}) / R_{be}$$

$$(V_{be} : A-5 のベース・エミッタ電圧)$$

また、 V_{cx} は

$$V_{cx} = \frac{1}{c_x} \cdot \Delta i_{cx}$$

$i_1 = 0$ なら

$$40 \quad \Delta i_{cx} = i_1, t_1 > 0$$

であり、定常しない。また

$i_1 = 0$ なら

$$\Delta i_{cx} = (i_1 - i_2) \cdot n_2 \cdot T$$

であり、 $i_1 = i_2$ なら $\Delta i_{cx} = 0$ であるが、フィードバック系であるため定常偏差が存在し、 $i_1 \neq i_2$ であり、

$$\Delta i_{cx} \neq 0$$

であるが、定常しない。

又、リップル電圧の $p-p$ 値は

9

10

$$\begin{aligned}\Delta V_{rpt} &= \frac{1}{c_x} (\Delta i_x (+) + \Delta i_x (-)) \\ &= \frac{1}{c_x} \cdot T \cdot (i_1 (n_1 + n_2) + i_2 \cdot n_2)\end{aligned}$$

その最低値は

$$\Delta V_{rpt} = \frac{1}{c_x} \cdot T \cdot (2 \cdot i_1 + i_2)$$

である。このため、 T, i_1, i_2 が小さい程リップルは小さくなるが、 i_1 は出力電流との兼ねあいである程度の値になり、また i_2 は負荷急変の応答特性を維持する為にやはり極端に小さくすることは出来ない。また T は一定である。また、 C_x が大きい程リップルは小さくなるが応答特性との対応で極端に大きくは出来ず、リップルの許容値と出力値から各パラメータは決定される。

*

* 第1図の実施例では、トランジスタA-5をON時定電流動作させているが、第4図のように変形してスイッチング動作させることもできる。

この場合、前述の i_2 は

$$i_2 = V_{cx}/R_{x2}$$

として表わされ、

$$V_{cx} = \frac{1}{c_x} \left[\Delta (i_1 \cdot (t_1 + t_2)) - \frac{V_{cx}}{R_{x2}} \cdot t_2 \right]$$

となり、解析が難しくなるが、安定状態のとき V_{cx} を一定におくと、 $V_{cx}/R_{x2} = i_2$ として同様に解析できる。この方法だと、抵抗 R_{x2} を削除できる。

【発明の効果】

以上説明したように、本発明によれば、PMM回路は回路規模が小さくなり、集積化の際チップ占有面積が小さくできて1チップ化が容易となり、このPMM回路を制御回路に用いた安定化電源も制御回路の回路規模が小さくなり、チップ占有面積を小さくすることができ、大幅のコストダウンが期待できる。

【図面の簡単な説明】

※第1図は実施例の回路図、第2図は同実施例の動作説明図、第3図は同実施例の概念図、第4図は同実施例の変形図、第5図は実施例のPMM回路を用いたA/D・D/Aコントローラのブロック図、第6図はコンパレータの構成図、第7図はコンパレータのタイミングチャート、第8図はMAIN・PMM回路のブロック図である。

1 ……コンパレータ

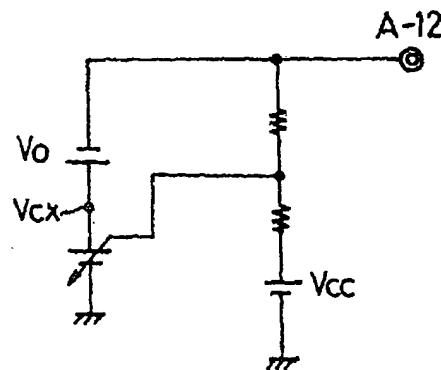
2 ……タイミング・ジェネレータ

4 ……ラッチ

30 A-5 ……トランジスタ

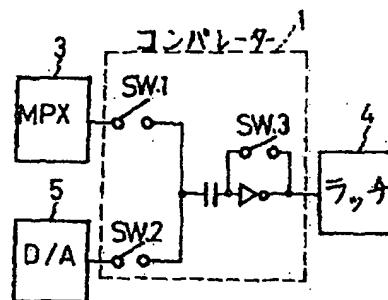
※ A-8 ……コンデンサ

【第3図】



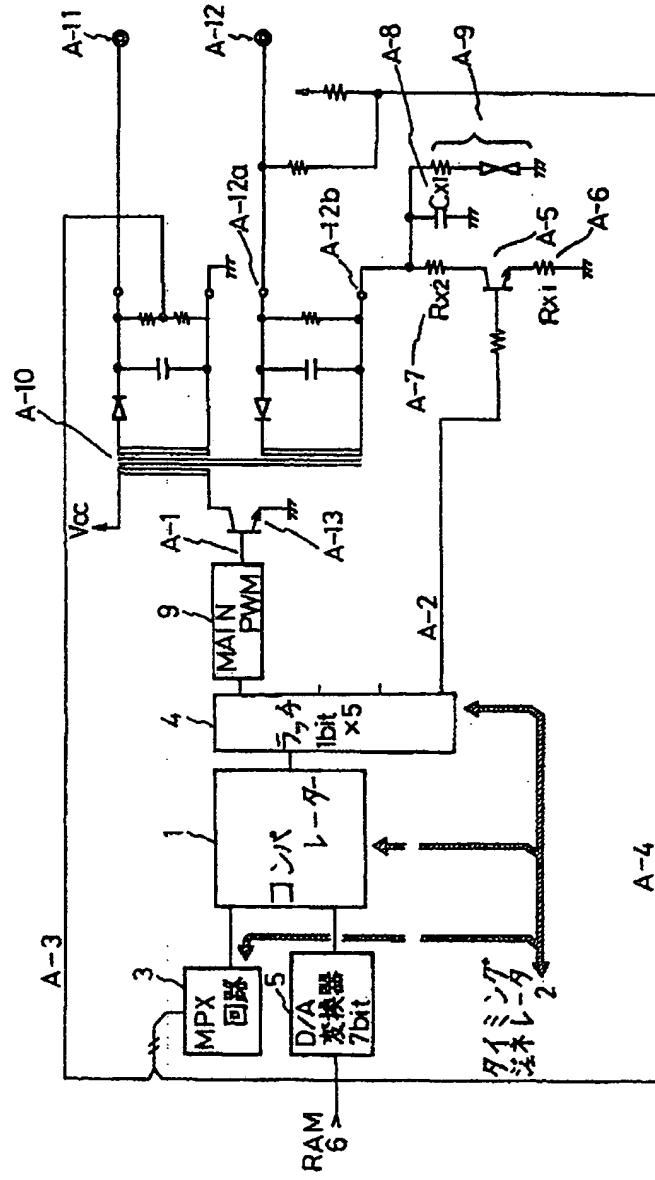
実施例の概略図

【第6図】



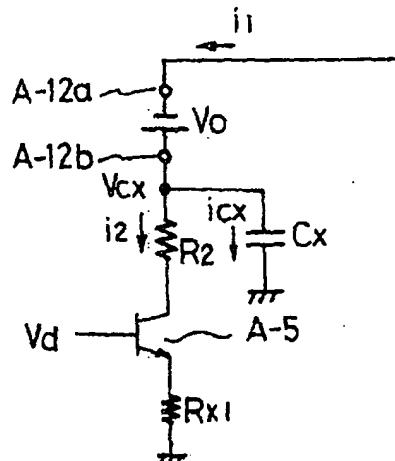
コンパレータの構成図

【第1図】



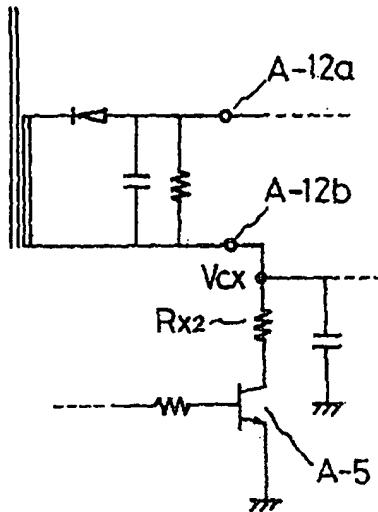
契機例の回路圖

〔第2図〕



実施例の動作説明図

〔第4図〕



実施例の変形図

〔第7図〕

MPX

A decorative horizontal line consisting of a series of connected hexagonal shapes, creating a repeating pattern of hexagons along the line.

SW3/SW1

A horizontal line with a series of rectangular steps, representing a digital signal or waveform.

D/A

A decorative horizontal border consisting of a repeating pattern of small, dark, diamond-shaped blocks, likely made of wood or metal, arranged in a staggered, interlocking fashion.

SW2

LATCH
CLK

A horizontal row of six empty square boxes, intended for students to write their answers in a handwriting practice exercise.

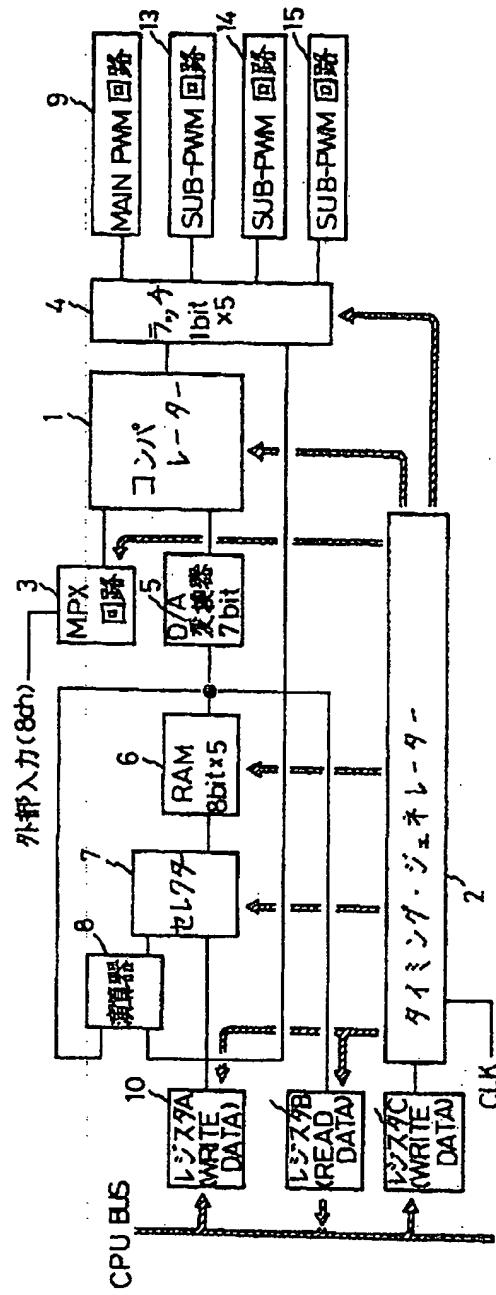
LATCH
ADRESSES

D/A DATA
READ

A horizontal line with a series of rectangular steps, representing a digital signal or waveform.

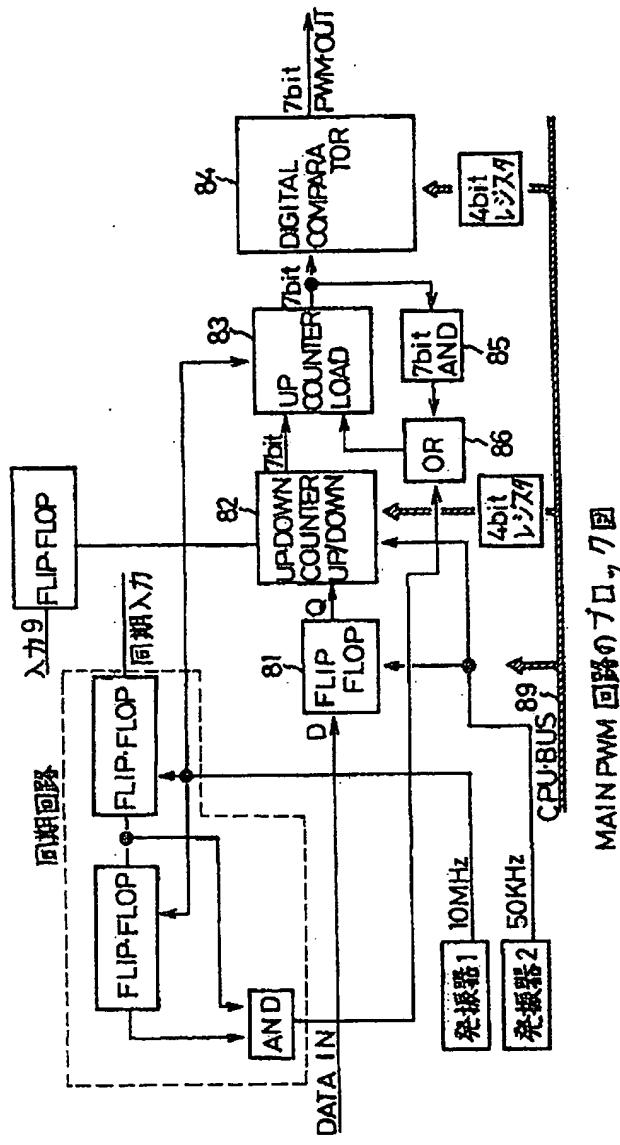
コンパレータのタイミングチャート

【第5図】



実施例の PWM 回路を用いた A/D・D/A コントローラのプローフ回路

【第8図】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.